



## DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITE DE COOPERATION EN MATIÈRE DE BREVETS (PCT)

(51) Classification internationale des brevets 7 :

H01L 27/12, 21/84

A1

(11) Numéro de publication internationale:

WO 00/46858

(43) Date de publication internationale:

10 août 2000 (10.08.00)

(21) Numéro de la demande internationale: PCT/FR00/00268

(22) Date de dépôt international: 4 février 2000 (04.02.00)

(30) Données relatives à la priorité:

99/01369

5 février 1999 (05.02.99)

FR

(71) Déposant (pour tous les Etats désignés sauf US): COMMIS-SARIAT A L'ENERGIE ATOMIQUE [FR/FR]; 31-33, rue de la Fédération, F-75752 Paris 15ème (FR).

(72) Inventeur; et

(75) Inventeur/Déposant (US seulement): PELLOIE, Jean-Luc [FR/FR]; 83, rue Roger Dumarais, Villa N°7, F-38430 Moirans (FR).

(74) Mandataire: WEBER, Etienne; Brevatome, 3, rue Du Docteur Lancereaux, F-75008 Paris (FR).

(81) Etats désignés: JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Publiée

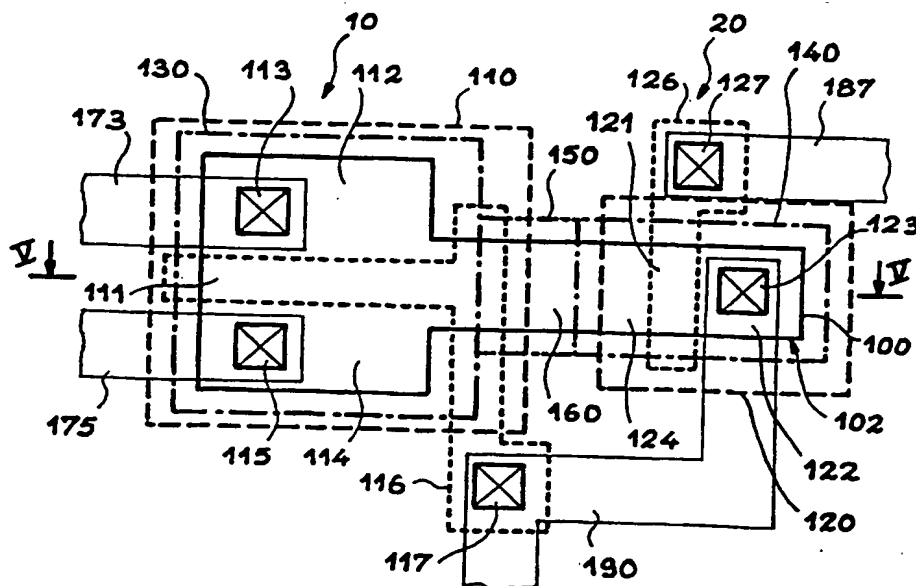
Avec rapport de recherche internationale.

(54) Title: MOS TRANSISTOR WITH DYNAMIC THRESHOLD VOLTAGE EQUIPPED WITH A CURRENT LIMITING DEVICE AND METHOD FOR MAKING SAME.

(54) Titre: TRANSISTOR MOS A TENSION DE SEUIL DYNAMIQUE EQUIPE D'UN LIMITEUR DE COURANT, ET PROCEDE DE REALISATION D'UN TEL TRANSISTOR

## (57) Abstract

The invention concerns a semiconductor device comprising on a substrate: a first MOS transistor (10) with dynamic threshold voltage, with a gate (116), and a channel having one first type of conductivity, and a current limiting element (20) connected between said first transistor gate and channel. The invention is characterised in that said first transistor is provided with a first zone (160) doped with the first type of conductivity, connected to the channel, and the current limiting element comprises a second zone (124) doped with a second type of conductivity and electrically connected to the first zone by an ohmic connection. The invention is useful for producing CMOS circuits.



**THIS PAGE BLANK (USPTO)**

**TRANSISTOR MOS A TENSION DE SEUIL DYNAMIQUE EQUIPE D'UN  
LIMITEUR DE COURANT, ET PROCEDE DE REALISATION D'UN TEL  
TRANSISTOR**

5     Domaine technique

La présente invention concerne un transistor MOS (Transistor à grille isolée) à tension de seuil dynamique équipé d'un limiteur de courant intégré. Ce dispositif est destiné en particulier à être réalisé  
10 sur un substrat de type SOI (silicium sur isolant), c'est-à-dire un substrat présentant une couche mince superficielle de silicium isolée par une couche d'oxyde sous-jacente.

L'invention concerne également un procédé de  
15 réalisation d'un tel dispositif sous une forme particulièrement compacte en vue de son intégration dans un circuit.

L'invention trouve des applications notamment dans la réalisation de circuits CMOS fonctionnant avec  
20 de très faibles tensions d'alimentation telles que par exemple des microprocesseurs ou des processeurs de signal numérique (DSP).

Etat de la technique antérieure

25     L'état de la technique antérieure est illustrée notamment par les documents (1), (2), (3) et (4) évoqués ci-après et dont les références sont précisées à la fin de la présente description.

Un transistor MOS usuel peut être considéré  
30 comme étant composé de deux éléments intrinsèques. Le premier élément est le transistor MOS proprement dit, dans lequel le courant, piloté par la grille, circule entre le drain et la source, et dans lequel le substrat

est soumis à une polarisation fixe. Le deuxième élément est un transistor bipolaire parasite pour lequel le drain et la source jouent le rôle d'émetteur et de collecteur, et le substrat le rôle de la base.

5           Le document (1) propose d'activer simultanément l'élément MOS et l'élément bipolaire afin d'augmenter le courant total fourni par le dispositif, ceci en connectant la grille du transistor à son substrat. Un tel dispositif est cependant peu exploité compte tenu  
10 d'une augmentation importante du courant statique lié au fonctionnement de l'élément bipolaire. En effet, un courant statique minimal est généralement requis dans les circuits CMOS.

          Le document (2) propose un mode hybride de  
15 fonctionnement du MOS et montre que, grâce à la connexion entre la grille et le substrat, la tension de seuil du MOS peut être abaissée et la pente de la caractéristique du transistor sous le seuil peut être améliorée à basse tension, c'est-à-dire avant que le  
20 transistor bipolaire ne soit activé. Ce principe de fonctionnement a donné naissance au transistor à tension de seuil dynamique décrit dans le document (3) "Dynamic Threshold Voltage MOSFET" ou "DTMOS".

          Le schéma électrique symbolique d'un transistor  
25 MOS à tension de seuil dynamique (DTMOS) est indiqué par la figure 1 annexée.

          Le transistor 10 comporte, comme tout transistor MOS, une borne de drain 12, reliée à une borne de source 14 par un canal, et une borne de grille  
30 16 pour piloter le courant traversant le canal.

          De plus, une liaison électrique 18 est établie entre la grille et le substrat. Sur la figure une borne

de contact du substrat à laquelle vient se connecter la liaison électrique 18 est repérée avec la référence 11.

La tension de seuil  $V_t$  d'un transistor MOS dépend de la tension appliquée sur son substrat.

5 Comme indiqué dans le document (4), la tension  $V_t$  peut être exprimée par la relation suivante.

$$V_t = V_{fb} + 2\phi_f + \gamma\sqrt{2\phi_f - V_{bs}}$$

Dans cette expression,  $V_{fb}$  est la tension de bandes plates,  $\phi_f$  est le potentiel de Fermi,  $\gamma$  est le coefficient d'effet de substrat et  $V_{bs}$  est la différence de potentiel appliquée entre le substrat et la source du transistor.

10 Lorsque la grille est connectée au substrat comme c'est le cas pour le DT MOS, la tension appliquée sur la grille est aussi appliquée sur le substrat. La tension de seuil est alors dépendante de la tension appliquée sur la grille, ce qui justifie l'appellation de "transistor à tension de seuil dynamique".

20 Lors d'un fonctionnement normal, pour un transistor NMOS, pris ici à titre d'illustration, la polarisation appliquée à la grille est positive par rapport à la source. Elle entraîne la polarisation en direct de la jonction existant entre substrat et source, et éventuellement la polarisation en direct de la jonction entre substrat et drain (dépendant de la polarisation appliquée sur le drain). Si une tension élevée est appliquée sur la grille, la même tension appliquée sur le substrat entraîne le passage d'un courant important dans la jonction. Ceci contribue à l'augmentation du courant statique total dans un circuit équipé du composant DT MOS.

30 La tension maximale acceptable pour un DT MOS en technologie SOI se situe à environ 0,6 V, afin de

limiter ce courant de jonction approximativement à 100 pA par micromètre de largeur du transistor. L'utilisation d'un DT MOS à une tension d'alimentation plus élevée requiert l'insertion d'un dispositif  
5 permettant de limiter le courant de jonction. Un tel dispositif est inséré entre la grille et le substrat et est appelé limiteur de courant. On peut se reporter à ce sujet au document (3).

Le limiteur de courant est un deuxième  
10 transistor MOS dont différentes configurations de polarisation peuvent être envisagées.

Une première configuration proposée est illustrée par la figure 2 annexée.

La figure 2 montre le transistor MOS 10 de la  
15 figure 1, qui est équipé d'un limiteur de courant sous la forme d'un deuxième transistor MOS 20 inséré entre la borne de grille 16 et la borne de substrat 11.

La grille 26 du deuxième transistor est polarisée à la tension d'alimentation dans le cas d'un  
20 transistor NMOS et est polarisée à la masse dans le cas d'un transistor PMOS.

Une autre configuration de polarisation possible du deuxième transistor est illustrée par la  
figure 3 annexée.

25 Elle se distingue de la configuration de la figure 2 essentiellement par le fait que la grille 26 du deuxième transistor 20 est désormais reliée à sa source.

Il convient de préciser que le deuxième  
30 transistor 20 est un transistor conventionnel ne présentant pas d'accès au substrat. Son substrat est flottant.

Une difficulté essentielle liée à la fabrication d'un dispositif conforme aux schémas des figures 2 ou 3, réside dans le fait que la réalisation du transistor limiteur et des connexions avec le premier transistor, est incompatible avec les exigences de réduction des dimensions des composants.

En effet, la recherche d'une densité d'intégration toujours plus grande des composants ne permet pas de transcrire directement dans une réalisation intégrée le schéma électrique des dispositifs mentionnés ci-dessus.

#### Exposé de l'invention

La présente invention a pour but de proposer un dispositif de transistor DTMOS à limiteur de courant, ne présentant pas les difficultés ci-dessus, et susceptible d'être réalisé sous la forme de circuit intégré.

Un but est en particulier de proposer un tel dispositif permettant de réduire le nombre et l'étendue des connexions nécessaires entre les transistors, de façon à en permettre une réalisation compacte.

Un but est encore de proposer un procédé de réalisation particulièrement économique du dispositif.

Pour atteindre ces buts, l'invention a plus précisément pour objet un dispositif à semi-conducteur comportant, sur un substrat :

- un premier transistor MOS à tension de seuil dynamique avec une grille, et un canal d'un premier type de conductivité, et
- un moyen limiteur de courant connecté entre la grille et le canal dudit premier transistor MOS.

Conformément à l'invention, le premier transistor MOS est équipé d'une première zone dopée du premier type de conductivité, reliée au canal, et le moyen limiteur de courant comporte une deuxième zone  
5 dopée d'un deuxième type de conductivité, disposée contre la première zone dopée et connectée électriquement à la première zone dopée par une voie de connexion ohmique.

Au sens de l'invention, on distingue la  
10 connexion ohmique entre les première et deuxième zones dopées d'une simple connexion par contact physique résultant de la juxtaposition de ces régions.

La connexion ohmique peut être réalisée, par exemple, par une couche de matériau électriquement  
15 conducteur, telle qu'une couche de siliciure, qui relie entre elles les première et deuxième zones dopées.

Dans une réalisation particulière du dispositif de l'invention, le moyen limiteur de courant peut être un deuxième transistor MOS. Dans ce cas, la deuxième  
20 zone dopée et une troisième zone dopée du même type de conductivité que la deuxième zone dopée peuvent former les source et drain dudit transistor.

Entre la source et le drain du deuxième transistor, c'est-à-dire entre les deuxième et  
25 troisième zones dopées, se situe une région de canal d'un type de conductivité opposé, c'est-à-dire du premier type de conductivité. La concentration de dopage du canal est toutefois inférieure à celle des source et drain.

Selon différentes configurations de  
30 polarisation, la grille du deuxième transistor peut être connectée à une borne de polarisation de grille ou



à la deuxième zone dopée, c'est-à-dire à la source du deuxième transistor.

Dans ce deuxième cas, une borne de connexion commune peut être prévue à la fois pour la grille et la  
5 deuxième zone dopée.

La troisième zone dopée, c'est-à-dire ici le drain du deuxième transistor, peut être reliée à la grille du premier transistor.

Dans une autre réalisation particulière du  
10 dispositif de l'invention, le moyen limiteur de courant peut encore être une diode. La deuxième zone dopée et une troisième zone dopée, d'un type de conductivité opposé à celui de la deuxième zone dopée, forment alors les bornes de la diode.

15 Tandis que les deuxième et troisième zones dopées présentent une concentration de dopage relativement élevée, elles peuvent être séparées par une quatrième zone dopée présentant une concentration de dopage plus faible.

20 Alors que les deuxième et troisième zones dopées sont d'un type de conductivité opposé, la quatrième zone peut être soit du type de conductivité de la deuxième zone, soit de celui de la troisième zone.

25 La quatrième zone a ainsi pour effet de prolonger l'une des deuxième ou troisième zones dopées de façon à former une jonction de type P\*N ou N\*P.

De même que dans la réalisation décrite précédemment, la troisième zone dopée peut être  
30 connectée à la grille du premier transistor MOS.

Par ailleurs, selon une réalisation particulière de la diode, celle-ci peut être équipée d'une grille s'étendant au-dessus de la quatrième zone

dopée. Cette grille n'a pas véritablement de fonction électrique mais peut servir, comme cela apparaîtra dans la description qui suit, en tant que masque d'implantation des deuxième et troisième zones dopées, pour préserver la quatrième zone dopée.

La grille de la diode peut être laissée flottante ou peut être connectée à l'une des bornes de la diode, c'est-à-dire à l'une des deuxième et troisième zones dopées.

L'invention concerne également un procédé de fabrication d'un dispositif tel que décrit précédemment.

Dans le cas où le dispositif comporte un limiteur de courant sous la forme d'un transistor MOS, le procédé comporte les étapes successives suivantes :

- a) préparation dans un substrat d'une zone active, destinée à recevoir les premier et deuxième transistors et présentant un premier type de conductivité,
- b) formation d'une première et d'une deuxième grilles au-dessus de la zone active, correspondant respectivement aux premier et deuxième transistors, les grilles étant séparées du substrat par un isolant de grille et recouvrant des régions de canal respectivement des premier et deuxième transistors,
- c) formation de première et deuxième régions de source et de drain d'un deuxième type de conductivité opposé au premier type de conductivité, correspondant respectivement aux premier et deuxième transistors, par implantation ionique auto-alignée sur les première et deuxième grilles, et formation de la première zone dopée du premier type de conductivité, en contact avec le canal du premier

transistor et adjacente à l'une des régions de source et de drain du deuxième transistor, par implantation ionique auto-alignée sur la grille du premier transistor,

- 5 d) formation d'une couche conductrice en contact électrique avec la première zone dopée et l'une des régions de source et de drain du deuxième transistor adjacente à ladite première zone dopée, de façon à les connecter électriquement.

10 On entend par implantation auto-alignée sur une grille une implantation lors de laquelle la grille est utilisée au moins en partie comme masque d'implantation ou comme une partie d'un masque d'implantation.

Le procédé peut être complété, après l'étape d)  
15 par la mise en place d'un isolant sur le substrat, suivie par la formation de prises de contact sur les régions de source, de drain et de grille des transistors.

Par ailleurs, le procédé peut comporter, en  
20 outre, la connexion de la grille du premier transistor à une zone dopée séparée de la première zone dopée et formant l'un des source et drain du deuxième transistor, et la connexion de la grille du deuxième transistor à la première zone dopée.

25 Dans l'exemple considéré de la présente description, où la source du deuxième transistor est constituée par la deuxième zone dopée, la grille du premier transistor MOS est connectée au drain du deuxième transistor, c'est-à-dire à la troisième zone  
30 dopée.

Dans le cas où le moyen limiteur comporte une diode, le procédé de fabrication du dispositif comporte les étapes successives suivantes :

- a) préparation dans un substrat d'une zone dite active présentant un premier type de conductivité, destinée à recevoir le premier transistor et la diode,
- 5 b) formation d'une première et d'une deuxième grille au-dessus de la zone active correspondant respectivement au premier transistor et à la diode, les grilles étant séparées du substrat par un isolant de grille,
- 10 c) formation des régions de source et de drain du premier transistor et de ladite deuxième zone dopée, formation de la première zone dopée disposée entre un canal du premier transistor et la deuxième zone dopée, et formation de la troisième zone dopée séparée de la première zone dopée par la deuxième
- 15 zone dopée, les régions de source et de drain et la première zone dopée étant formées par des implantations auto-alignées sur la première grille,
- 20 d) formation d'une couche conductrice en contact avec la première zone dopée et la deuxième zone dopée de façon à les connecter électriquement.

Les différentes régions ou zones dopées formées lors de l'étape c) peuvent l'être dans un ordre indifférent.

25 Le procédé peut être complété, après l'étape d), par la mise en place d'un isolant sur le substrat suivie par la formation de prises de contact sur les régions de source et de drain et sur la troisième zone dopée.

30 Il peut comporter en outre l'interconnexion de la troisième zone dopée et de la grille du premier transistor.

La réalisation du dispositif a de préférence lieu sur un substrat de type SOI, c'est-à-dire un

substrat présentant une couche superficielle de silicium mince, isolée par une couche d'oxyde enterrée dans un bloc de silicium qui joue un rôle de support.

5 Les composants sont dans ce cas formés dans la couche mince superficielle. Cette couche n'est généralement pas dopée initialement. Cependant, l'étape de préparation a) peut comporter un dopage léger du premier type de conductivité, de tout ou partie de la couche mince superficielle.

10 En outre, la région active peut être délimitée par oxydation locale de la couche mince superficielle pour former des pavés d'oxyde de champ. Cette technique d'isolation en surface est désignée usuellement par "LOCOS" (Localized Oxidation of Silicon - oxydation  
15 locale du silicium). La région active peut aussi être délimitée par une isolation par tranchées ("Shallow Trench Isolation")

La zone active est ainsi entièrement isolée par les pavés d'oxyde de champ et par la couche d'oxyde  
20 enterrée.

D'autres caractéristiques et avantages de la présente invention ressortiront mieux de la description qui va suivre, en référence aux figures des dessins annexés. Cette description est donnée à titre purement  
25 illustratif et non limitatif.

#### Brève description des figures

30 - La figure 1, déjà décrite, est un schéma électrique correspondant à un transistor MOS à tension de seuil dynamique (DTMOS).

- La figure 2, déjà décrite, est un schéma électrique du transistor de la figure 1, équipé d'un limiteur de courant, selon une première configuration de polarisation du limiteur.

5           - La figure 3, déjà décrite, est un schéma électrique du transistor de la figure 1, équipé d'un limiteur de courant, selon une deuxième configuration de polarisation du limiteur.

10           - La figure 4 montre un premier schéma d'implantation pour la fabrication d'un dispositif conforme à l'invention.

- La figure 5 est une coupe schématique d'un dispositif conforme à l'invention selon un plan V-V indiqué sur la figure 4.

15           - La figure 6 montre un deuxième schéma d'implantation pour la fabrication d'un dispositif conforme à l'invention.

20           - La figure 7 est une coupe schématique d'un dispositif conforme à l'invention selon un plan VII-VII indiqué sur la figure 6.

- La figure 8 montre un troisième schéma d'implantation pour la fabrication d'un dispositif conforme à l'invention.

25           - La figure 9 est une coupe schématique d'un dispositif conforme à l'invention selon un plan IX-IX indiqué sur la figure 8.

- Les figures 10 et 11 sont des schémas électriques correspondant à une autre possibilité de réalisation du dispositif de l'invention.

30           - La figure 12 est un schéma électrique équivalent à celui de la figure 10.

- La figure 13 est un quatrième schéma d'implantation pour la fabrication d'un dispositif

conforme à l'invention, selon le schéma électrique de la figure 10.

- La figure 14 est une coupe schématique d'un dispositif conforme à l'invention selon un plan XIV-XIV  
5 indiqué sur la figure 13.

- La figure 15 est un cinquième schéma d'implantation pour la fabrication d'un dispositif conforme à l'invention, selon le schéma électrique de la figure 10.

10 - La figure 16 est un sixième schéma d'implantation pour la fabrication d'un dispositif conforme à l'invention, selon le schéma électrique de la figure 10.

15 - La figure 17 est un septième schéma d'implantation pour la fabrication d'un dispositif conforme à l'invention, selon le schéma électrique de la figure 10.

20 Description détaillée de modes de mise en oeuvre de l'invention

La description qui suit se réfère à la fabrication du dispositif dans la couche superficielle de silicium d'un substrat de type SOI.

25 Le plan de la figure 4 correspond à une vue de dessus du dispositif selon un premier mode de réalisation.

Une ligne continue 100 de la figure 4 représente la limite de la zone active 102 définie sur la couche superficielle de silicium.

30 A l'extérieur de la zone définie par la ligne 100, la couche superficielle de silicium est oxydée afin d'isoler latéralement la zone active.

Un certain nombre de plages d'implantation d'impuretés définies au-dessus de la zone active, et décrites plus en détail ci-après, chevauchent en partie le silicium oxydé, pour des raisons de conception des motifs d'implantation. Toutefois, il convient de noter que les impuretés dopantes implantées atteignant l'oxyde de silicium qui entoure la zone active, sont inopérantes et ne modifient pas le caractère isolant électrique de l'oxyde.

Au moins une première implantation de type P est pratiquée dans deux plages d'implantation 110, 120, qui correspondent en particulier aux canaux d'un premier et d'un deuxième transistors 10 et 20 que l'on souhaite former. Ces plages sont représentées par un trait discontinu régulier sur la figure et sont définis, par exemple, par une ouverture dans un masque d'implantation non représenté.

Comme indiqué précédemment, ces transistors correspondent au transistor DTMOS et au transistor du limiteur de courant au sens de l'invention.

La première implantation est de type P dans la mesure où les transistors 10 et 20 que l'on souhaite réaliser sont des transistors NMOS. Le dispositif peut cependant être réalisé aussi avec des transistors PMOS. Dans ce cas, la première implantation est de type N.

La première implantation est suivie par la formation d'une couche d'isolant, par exemple d'oxyde, puis d'une couche de matériau de grille, par exemple de silicium polycristallin.

Les couches sont gravées selon un motif permettant de fixer la forme et l'emplacement de grilles 116 et 126 respectivement des premier et deuxième transistors.



On observe que la grille 116 du premier transistor présente une forme en T dont au moins une branche s'étend hors de la zone active.

La définition des grilles peut être suivie par  
5 la formation d'espaceurs latéraux sur leurs flancs. Ces espaceurs ne sont pas représentés sur la figure 4 pour des raisons de clarté.

Après la formation des grilles au moins une  
10 deuxième implantation de type N<sup>+</sup> est effectuée avec une concentration supérieure à celle de la première implantation. Dans la suite du texte les symboles N<sup>+</sup> et P<sup>+</sup> sont utilisés pour désigner des implantations ou des régions implantées de type de conductivité N et P avec une forte concentration d'impuretés dopantes.

15 Il convient de préciser que la deuxième implantation peut également être de type P<sup>+</sup> lorsque les transistors formés sont des transistors PMOS.

La deuxième implantation a lieu dans des plages  
20 d'implantation 130, 140 s'étendant de part et d'autre d'au moins une partie de chaque grille 116, 126. Les plages d'implantation 130, 140 sont représentées en trait mixte et sont définies, par exemple, par des ouvertures dans un masque d'implantation non représenté.

25 Lors de la deuxième implantation on forme, dans la zone active, le drain 112 et la source 114 du premier transistor de même que le drain 122 et la source 124 du deuxième transistor.

30 La source 124 et le drain 122 correspondent respectivement aux deuxième et troisième zones dopées mentionnées dans la première partie de la description.

Les zones 112, 114, 122 et 124 de type N<sup>\*</sup> ne s'étendent pas, ou seulement très peu, sous les grilles.

En effet, les grilles jouent, lors de l'implantation un rôle de masque d'implantation, de sorte que les zones de type N<sup>\*</sup> sont auto-alignées sur les grilles.

Sous la grille 116 du premier transistor 10 se trouve par conséquent une zone de type P résultant de la première implantation. Une partie de cette zone située entre les source et drain 112, 114 constitue le canal 111 du premier transistor 10.

De la même façon, le canal 121, de type P, du deuxième transistor 20, se situe sous la deuxième grille 126 et entre les source et drain 124 et 122 du deuxième transistor.

Une troisième implantation de type P<sup>\*</sup> (ou, à titre d'alternative N<sup>\*</sup> pour des transistors PMOS) est effectuée dans une plage 150 définie, par exemple, par un masque d'implantation non représenté.

On observe que la plage d'implantation 150 indiquée en trait double-mixte chevauche une partie de la grille 116 du premier transistor et coïncide avec une partie de la zone active de type P et s'étend jusqu'à la source 124 du deuxième transistor.

Une partie de la grille 116 du premier transistor peut ainsi être utilisée comme masque d'implantation, de sorte que la zone dopée 160 formée lors de la troisième implantation soit auto-alignée sur cette grille.

La zone dopée 160 de type P<sup>\*</sup>, correspond à la première zone dopée évoquée précédemment et est ainsi

désignée dans la suite du texte. Elle constitue une prise de substrat pour le premier transistor 10.

Une siliciuration auto-alignée sur les grilles est ensuite pratiquée. Elle permet de former une couche de siliciure sur la zone active et sur les grilles. Cette couche de siliciure a pour fonction essentielle de former une connexion électrique par contact ohmique entre la première zone dopée 160 et la source 124 du deuxième transistor.

La couche de siliciure, par exemple de  $\text{TiSi}_2$  ou  $\text{CoSi}_2$ , non représentée sur la figure 4, peut être formée par dépôt d'une couche de titane ou de cobalt, suivi d'un traitement thermique.

Après la siliciuration, on effectue le dépôt et la planarisation d'un matériau isolant électrique permettant de protéger le dispositif. Le matériau isolant électrique est par exemple un oxyde de silicium.

Le matériau isolant électrique est ensuite gravé localement, selon un motif déterminé, pour former des passages d'accès aux composants et réaliser des prises de contact sur ceux-ci.

Enfin, après le remplissage des passages avec un matériau conducteur, tel que du métal, on forme, à la surface du matériau isolant électrique des pistes conductrices d'interconnexion reliées aux prises de contact.

Sur la figure 4, les références 113, 115, 123, 117, 127 désignent des prises de contact connectées respectivement au drain et à la source du premier transistor, au drain du deuxième transistor, et aux grilles des premier et deuxième transistors.

Les références 173, 175, 187 désignent des pistes d'interconnexion métalliques, par exemple en Al, Ti ou W, connectées aux prises de contact 113, 115 et 127, pour les relier éventuellement à d'autres composants non représentés.

La référence 190 désigne une piste d'interconnexion qui relie la prise de contact 117 de la grille du premier transistor à la prise de contact 123 du drain 122 du deuxième transistor.

On peut observer également sur la figure 4 que les prises de contact 117, 127 sur les grilles sont réalisées en dehors de la zone active 102, c'est-à-dire au-dessus de l'oxyde de silicium qui entoure la zone active.

La figure 5 est une coupe schématique du dispositif obtenu selon le schéma de la figure 4 et selon le plan V-V indiqué sur la figure 4.

Le dispositif est réalisé dans un substrat de type SOI comprenant une partie massive 1 de silicium, une couche enterrée 2 d'oxyde de silicium et une couche superficielle mince 3 de silicium. Pour des raisons de commodité, les échelles d'épaisseurs des différentes couches et parties du dispositif ne sont pas respectées.

Dans la couche superficielle de silicium, une zone active 102 est délimitée par des pavés d'oxyde de silicium 103 qui s'étendent jusque sur la couche d'oxyde enterrée. La zone active se trouve donc électriquement isolée par rapport à la partie massive 1 du substrat et éventuellement d'autres zones actives non représentées, définies dans la même couche superficielle.

Dans la zone active, on distingue, dans l'ordre, de gauche à droite sur la figure, le canal 111, de type P, du premier transistor 10, la première zone dopée 160 de type P<sup>\*</sup> en contact avec le canal 111, la source 124 du deuxième transistor 11, de type N<sup>\*</sup>, en contact avec la première zone dopée, le canal 121 de type P, du deuxième transistor 11, puis le drain 122, de type N<sup>\*</sup> du deuxième transistor 11.

Au-dessus du canal 111 du premier transistor et au-dessus du canal 121 du deuxième transistor on distingue respectivement les grilles 116 et 126 des premier et deuxième transistors. Les grilles, par exemple en silicium polycristallin sont séparées de la couche superficielle de silicium 3 par une très mince couche d'oxyde de silicium 4.

Sur les parties de la zone active non recouvertes par les grilles, de même que sur les grilles, on note la présence d'une couche de siliciure de titane ou de cobalt 180. La couche de siliciure, établit notamment un contact électrique ohmique entre la première région dopée 160 et la source 124 du deuxième transistor.

Avant la siliciuration, des espaceurs latéraux isolants 181 sont formés sur les flancs latéraux des grilles, par dépôt d'une couche d'oxyde ou nitrure de silicium puis par gravure anisotrope de cette couche.

Les espaceurs latéraux 181 ont essentiellement pour fonction d'éviter un court-circuit entre les grilles, les régions de source, et les régions de drain, lors de la formation de la couche de siliciure 180.

Eventuellement, les espaceurs latéraux peuvent être formés avant l'implantation des régions de source

et de drain des transistors, et servir également, tout comme les grilles, de masque d'implantation pour ces régions.

Une couche d'isolation 183 est formée par dépôt puis par planarisation d'un matériau tel que de l'oxyde de silicium. La couche 183, dont la surface est plane enrobe les grilles et recouvre la couche de siliciure 180.

La figure 5 montre également la prise de contact 123 qui se présente sous la forme d'un puits traversant la couche d'isolation 183 pour atteindre la couche de siliciure au-dessus du drain 122 du deuxième transistor. Le puits est rempli d'un matériau conducteur électrique tel que W ou Ti qui permet de relier électriquement le drain à la piste d'interconnexion 190.

Les figures 4 et 5 décrites ci-avant correspondent à la réalisation d'un transistor à tension de seuil dynamique de type NMOS.

Un tel transistor de type PMOS peut également être réalisé en remplaçant respectivement les régions de type  $N^+$ , P,  $P^+$  par des régions  $P^+$ , N et  $N^+$ .

Par ailleurs, on observe que la réalisation du transistor selon les figures 4 et 5 correspond au schéma électrique de la figure 2 décrite précédemment.

La figure 6, est une vue de dessus d'un schéma d'implantation pour la réalisation d'un transistor DTMOS selon une variante correspondant au schéma électrique de la figure 3.

Un grand nombre d'éléments de la figure 6 sont identiques à des éléments correspondants de la figure 5. Ces éléments portent les mêmes références et leur

description détaillée est omise ici. On peut se reporter à la description qui précède.

On observe qu'une prise de contact 125 est formée dans une région chevauchant la première zone  
5 dopée 160 et la zone de source 124 du deuxième transistor. Elle est reliée par ailleurs à la prise de contact 127 de la grille du deuxième transistor par une piste d'interconnexion 185.

Il convient cependant de noter à ce sujet que  
10 la prise de contact 125 constitue essentiellement une prise de contact pour le substrat ou, plus précisément, pour le canal du premier transistor.

La prise de contact 125 et la piste d'interconnexion 185 sont également visibles sur la  
15 figure 7 qui est une coupe d'un dispositif fabriqué conformément au schéma d'implantation de la figure 6, vue selon le plan VII-VII indiqué sur cette figure.

La prise de contact 125 chevauche sensiblement à part égale la première zone dopée 160 et la région de  
20 source 124. La position de la prise de contact n'est cependant pas critique. En effet, comme un lien conducteur existe entre les zones mentionnées ci-dessus, en raison de la couche de siliciure 180, il suffit que la prise de contact 125 vienne en contact  
25 avec la portion de couche de siliciure 180 qui recouvre ces zones.

Une variante du dispositif correspondant au même schéma électrique peut être réalisée aussi selon le plan d'implantation de la figure 8.

30 Ce plan se distingue de celui de la figure 6 par le fait qu'une prise de contact 128 unique, remplace la prise de contact de la grille du deuxième transistor, la prise de contact reliée à la source et à

la première zone dopée, ainsi que la piste d'interconnexion qui les relie.

Comme le montre en coupe la figure 9, la prise de contact 128 chevauche en partie la grille 126 et la source 124 du deuxième transistor.

Le matériau conducteur de la prise de contact 128, relie électriquement la grille 126 et plus précisément la portion de couche de siliciure qui recouvre la grille, à la portion de couche de siliciure qui recouvre la zone de source 124 et la première zone dopée 160. La prise de contact 128 peut être éventuellement coiffée d'une borne métallique 189.

En comparant cette structure avec celle des figures 6 et 7, on constate que la prise de contact 127 peut être omise, de même que la ligne d'interconnexion 185.

Le dispositif des figures 8 et 9 peut donc être réalisé de façon plus compacte que les dispositifs précédemment décrits.

La figure 10 est un schéma électrique correspondant à une deuxième conception possible du dispositif de l'invention dans laquelle le deuxième transistor est remplacé par une diode 30.

L'anode 32 de la diode 30 est connectée à la grille 16 du premier transistor 10 et la cathode 34 de la diode est connectée au substrat du transistor 10, plus précisément à son canal. Les bornes de drain et source du transistor 10 sont toujours repérées avec les références 12 et 14. Une borne du substrat, ou plus précisément du canal du transistor porte la référence 11 par analogie avec les figures 1 à 3.



Le schéma de la figure 10 correspond à celui d'un dispositif construit autour d'un transistor de type NMOS.

La figure 11 donne à titre indicatif le schéma électrique prévu pour un transistor PMOS. On peut observer que dans ce cas, la cathode 34 de la diode est reliée à la grille du transistor et l'anode 32 au substrat (canal).

La diode 30 dont la fonction essentielle est de limiter le courant traversant la prise substrat du transistor, est connectée en série avec les "diodes" correspondant aux jonctions substrat-source et substrat-drain du transistor.

Pour le dispositif de la figure 10, utilisant un transistor NMOS, un schéma électrique équivalent est donné par la figure 12.

Sur cette figure, les références 40 et 50 indiquent respectivement la "diode" substrat-drain et la "diode" substrat-source du transistor. Les références 11, 12, 14 et 16 indiquent respectivement des bornes de substrat, de drain, de source et de grille du transistor. Les lettres  $V_b$ ,  $V_d$ ,  $V_s$  et  $V_g$  portées sur la figure à proximité des bornes du schéma électrique sont utilisées dans la suite du texte pour désigner les tensions de substrat, de drain, de source et de grille.

On désigne également par  $V_t$  la tension de seuil du transistor. Elle peut être exprimée par la formule suivante :

$$V_t = V_{fb} + 2\phi_f + \gamma\sqrt{2\phi_f - V_{bs}} \quad (1)$$

où  $V_{bs}=V_b-V_s$  et où  $V_{fb}$  est la tension de bandes plates.

Pour déterminer la tension de seuil du DTMOS, lorsque le moyen limiteur de courant est une diode, il

convient de calculer le potentiel de substrat  $V_b$  dans la structure proposée et de reporter son expression dans l'équation (1). L'équation de courant d'une diode (ou jonction) traversée par un courant  $I$  en régime de  
5 faible injection est:

$$I = I_0 \left[ \exp\left(\frac{V}{nU_t}\right) - 1 \right] \quad (3)$$

Dans cette expression,  $V$  est la tension appliquée aux bornes de la diode,  $n$  son facteur d'idéalité,  $U_t = \frac{kT}{q}$  est le potentiel thermique,  $q$  la  
10 charge de l'électron,  $k$  la constante de Boltzmann,  $T$  la température,  $I_0$  le courant d'obscurité.

L'équation de courant de la diode 30 servant de limiteur est ainsi :

$$I_1 = I_{01} \left[ \exp\left(\frac{V_g - V_b}{nU_t}\right) - 1 \right]$$

15 L'équation de courant de la "diode" substrat-source 50 est :

$$I_2 = I_{02} \left[ \exp\left(\frac{V_b - V_s}{nU_t}\right) - 1 \right]$$

et l'équation de courant de la "diode" substrat-drain  
40 est :

$$20 \quad I_3 = I_{02} \left[ \exp\left(\frac{V_b - V_d}{nU_t}\right) - 1 \right]$$

$I_{01}$ ,  $I_{02}$ , sont respectivement les courants d'obscurité des diodes mentionnées ci-dessus.

Le courant d'obscurité de la diode servant de limiteur est supposé différent de celui des jonctions  
25 substrat-source et substrat-drain. Se référant à la figure 11, on voit que le courant traversant la diode

de limitation est égal à la somme des courants traversant les diodes substrat-drain et substrat-source soit :

$$I_1 = I_2 + I_3$$

5 La résolution de cette équation permet d'exprimer le potentiel de substrat en fonction du potentiel de grille :

$$V_{bs} = nU_t \ln \left[ \frac{2I_{02} - I_{01} + \sqrt{(I_{01} - 2I_{02})^2 + 4I_{01}I_{02} \exp\left(\frac{V_{gs}}{nU_t}\right) \left(1 + \exp\left(-\frac{V_{ds}}{nU_t}\right)\right)}}{2I_{02} \left(1 + \exp\left(-\frac{V_{ds}}{nU_t}\right)\right)} \right]$$

10

Dans cette expression on note :

$$V_{gs} = V_g - V_s \text{ et } V_{ds} = V_d - V_s.$$

L'expression de  $V_{bs}$  obtenue reportée dans l'équation (1) permet de calculer la variation de tension de seuil du transistor DT MOS avec la diode de limitation de courant, en fonction de la tension appliquée sur sa grille.

A titre d'exemple, si l'on dimensionne la diode de limitation de telle sorte que l'on ait :

20

$$I_{01} = 2I_{02}$$

le potentiel de substrat devient :

$$V_{bs} = \frac{V_{gs}}{2} - \frac{nU_t}{2} \ln \left[ 1 + \exp\left(-\frac{V_{ds}}{nU_t}\right) \right].$$

27

Lorsque la différence de potentiel  $V_{ds}$  excède quelques fois  $U_t$  (cas de fonctionnement normal du transistor), on obtient la relation simple :

$$V_{bs} \approx \frac{V_{gs}}{2}.$$

La tension de seuil du DTMOS avec limitation de courant par diode peut alors être approximée par :

$$V_t = V_{fb} + 2\phi_f + \gamma \sqrt{2\phi_f - \frac{V_{gs}}{2}}.$$

La figure 13 montre un schéma d'implantation pour la fabrication d'un dispositif correspondant aux schémas électriques des figures 10 et 12.

En raison d'un grand nombre de similarités avec les figures 4, 6 et 8, des éléments identiques ou équivalents sont repérés avec les mêmes références de sorte que l'on puisse se référer à la description qui précède.

Le procédé de fabrication du transistor 10 et de la diode 30 est sensiblement le même que le procédé de fabrication du premier transistor 10 et du deuxième transistor 11 de la figure 4.

En effet, bien que dans le cas de la présente réalisation, les moyens de limitation de courant soient une diode, la grille 126 est conservée.

Cette grille permet de séparer une deuxième zone dopée 124a de type N<sup>+</sup> d'une troisième zone dopée 122a de type P<sup>+</sup>.

On observe que les deuxième et troisième zones dopées correspondent, par leur emplacement, aux zones de source et de drain du transistor 20 visibles sur les figures 4, 6 et 8.

Les deuxième et troisième zones dopées, de type N<sup>+</sup> et P<sup>+</sup>, sont respectivement implantées dans des plages d'implantation 140a, 140b définies par des masques d'implantation non représentés.

Des zones de même type de conductivité peuvent être réalisées de manière concomitante.

Ainsi, la deuxième zone dopée 124a peut être implantée simultanément aux zones de source et de drain 112, 144 du transistor 10 tandis que la troisième zone dopée 122a peut être implantée simultanément à la première zone dopée 160.

On observe que les plages d'implantation 140a et 140b chevauchent en partie la deuxième grille 126 qui sert également de masque d'implantation. Les deuxième et troisième zones dopées sont ainsi auto-alignées sur la deuxième grille 126.

Sous la grille 126 se trouve une quatrième zone dopée 121 de type P (ou N) qui relie les deuxième et troisième zones dopées.

La quatrième zone dopée est de type P (ou N) en raison de la préparation initiale du substrat. Elle est protégée par la grille 126 lors des implantations des deuxième et troisième zones dopées.

La quatrième zone dopée, de type P (ou N), prolonge la troisième zone dopée 122a, également de type P<sup>+</sup>, mais dont la concentration de dopage est supérieure à celle de la quatrième zone.

Ainsi, la diode 30 de limitation de courant est formée par la jonction N<sup>+</sup>/P entre la deuxième zone dopée (ou P<sup>+</sup>/N) 124a et la troisième zone dopée 122a prolongée par la quatrième zone dopée 121.

Les deuxième et troisième zones dopées forment les bornes de la diode.

Bien que la grille 126 au-dessus de la quatrième zone dopée puisse être laissée à un potentiel flottant, la figure 13 montre une ligne d'interconnexion 185 qui relie respectivement une prise de connexion 127 en contact avec la grille 126 et une

prise de connexion 125 en contact avec la première et deuxième zones dopées.

La figure 14 est une coupe transversale du dispositif correspondant à la figure 13, selon un plan de coupe XIV-XIV indiqué également sur la figure 13. Des parties identiques ou similaires à celles des figures 5, 7, 9 et 14 sont repérées avec les mêmes références. On pourra se reporter à leur sujet à la description qui précède.

La figure 14 montre que les première et deuxième zones dopées sont recouvertes par une portion de couche de siliciure 180 de sorte qu'elles sont au même potentiel électrique. La couche de siliciure assure en effet un contact électrique ohmique entre ces zones. Ainsi, la prise de connexion 125 en contact avec les première et deuxième zones dopées, qui est représentée dans une position chevauchant ces zones, et qui est en contact avec la portion de la couche de siliciure qui recouvre lesdites zones, pourrait être décalée au-dessus de l'une seulement des première et deuxième zones dopées.

La figure 14 met aussi en évidence un rôle particulier de la deuxième grille 126 et de ses espaceurs latéraux. Ce rôle est d'isoler la portion de couche de siliciure 180 qui recouvre les première et deuxième zones dopées 160, 124a de la portion de cette couche qui recouvre la troisième zone dopée 122a.

Les références 123 et 190 indiquent une prise de contact sur la troisième zone dopée 122a et une piste d'interconnexion, également visible sur la figure 13, qui relie cette zone à la grille du transistor.

Le dispositif décrit ci-avant peut également être réalisé selon un plan d'implantation conforme à la figure 15.

La figure 15 se distingue de la figure 13 par le fait qu'une prise de contact 128 prévue pour les première et deuxième zones dopées est positionnée de façon à chevaucher la deuxième zone dopée et la grille 126 de la diode.

Ainsi, le matériau conducteur de la prise de contact relie électriquement la grille aux première et deuxième zone dopées.

Un tel agencement, comparable à celui de la figure 8, permet d'omettre l'interconnexion 185 correspondante visible sur la figure 13, et rendre ainsi le dispositif plus compact.

Une autre variante de réalisation du dispositif est illustrée par la figure 16.

Sur cette figure on observe que la prise de contact 127 de la grille est connectée à la prise de contact 123 de la troisième zone dopée par un prolongement de la piste d'interconnexion 190.

Enfin, une dernière variante de réalisation du dispositif, illustrée par la figure 17 et sensiblement équivalente à la précédente, permet d'économiser une prise de contact spécifique pour la grille et le prolongement de la piste d'interconnexion.

En effet, une prise de contact 189, commune à la grille 126 et à la troisième zone dopée 122a, est disposée de manière à chevaucher ces deux parties et les connecter électriquement.

La prise de contact 189 est par ailleurs connectée à la prise de contact 117 de la grille du

transistor par l'intermédiaire d'une interconnexion 190a.

#### DOCUMENTS CITES

5 (1)

J.P. Colinge, "An SOI voltage-Controlled Bipolar-MOS Device", IEEE Transactions on Electron Devices, volume ED-34, n° 4, p. 845, 1987.

10 (2)

M. Matloubian, "Analysis of Hybrid-Mode Operation of SOI MOSFET's", IEEE International SOI Conference Proceedings, p. 106, 1993.

15 (3)

F. Assaderaghi et al., "A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation", International Electron Devices Meeting Technical Digest, p. 809, 1994.

20

(4)

Y.P. Tsividis, "Operation and Modeling of the MOS Transistor", Mac Graw-Hill Book Company, 1987.



**REVENDICATIONS**

1. Dispositif à semi-conducteur comportant de façon intégrée sur un substrat :

- un premier transistor MOS (10) à tension de seuil  
5       dynamique, avec une grille (116), et un canal (111)  
      d'un premier type de conductivité, et
- un moyen (20, 30) limiteur de courant connecté entre  
      la grille et le canal dudit premier transistor MOS,  
      caractérisé en ce que ce premier transistor MOS est  
10      équipé d'une première zone dopée (160) du premier type  
      de conductivité, reliée au canal, et en ce que le moyen  
      limiteur de courant comporte une deuxième zone dopée  
      (124, 124a) d'un deuxième type de conductivité,  
      disposée contre la première zone dopée et connectée  
15      électriquement à la première zone dopée par une voie de  
      connexion ohmique (180).

2. Dispositif selon la revendication 1, dans lequel le moyen limiteur de courant est un deuxième transistor MOS (20), la deuxième zone dopée (124) et  
20      une troisième zone dopée (122) du même type de  
      conductivité que la deuxième zone dopée formant les  
      source et drain dudit deuxième transistor.

3. Dispositif selon la revendication 2, dans lequel le deuxième transistor comprend une grille (126)  
25      connectée à une borne (127) de polarisation de grille.

4. Dispositif selon la revendication 2, dans lequel le deuxième transistor (20) présente une grille (126) connectée à ladite deuxième zone dopée (124).

5. Dispositif selon la revendication 4,  
30      comprenant une borne (128) en contact avec la grille  
      (126) et avec la deuxième zone dopée (124).

6. Dispositif selon la revendication 4, dans lequel la troisième région dopée (122) est connectée à la grille (116) du premier transistor MOS (10).

5 7. Dispositif selon la revendication 1, dans lequel le moyen limiteur de courant est une diode (30), la deuxième zone dopée (124a) et une troisième zone dopée (122a), d'un type de conductivité opposé à celui de la deuxième zone dopée, formant des bornes de la diode.

10 8. Dispositif selon la revendication 7, comprenant une quatrième zone dopée (121), disposée entre les deuxième et troisième zones dopées, présentant le même type de conductivité que l'une des deuxième et troisième zones, avec une concentration de dopage inférieure à celle de cette zone.

15 9. Dispositif selon la revendication 7, dans lequel la troisième zone dopée (122a) est connectée à la grille du premier transistor MOS.

20 10. Dispositif selon la revendication 8, dans lequel la diode comporte une grille (126) s'étendant au-dessus de la quatrième zone dopée (121).

11. Dispositif selon la revendication 10, dans lequel ladite grille (126) de la diode est connectée à l'une des bornes (122a, 124a) de la diode.

25 12. Procédé de fabrication d'un dispositif selon la revendication 2, comportant les étapes successives suivantes :

- 30 a) préparation dans un substrat d'une zone active (102), destinée à recevoir les premier et deuxième transistors (10, 20) et présentant un premier type de conductivité,
- b) formation d'une première et d'une deuxième grilles (116, 126) au-dessus de la zone active,

correspondant respectivement aux premier et deuxième transistors, les grilles étant séparées du substrat par un isolant de grille 104 et recouvrant des régions de canal (111, 121) respectivement des premier et deuxième transistors,

- 5 c) formation des première et deuxième régions de source et de drain (112, 114, 122, 124) d'un deuxième type de conductivité opposé au premier type de conductivité, correspondant respectivement aux premier et deuxième transistors, par implantation ionique auto-alignée sur les première et deuxième grilles, et formation de la première zone dopée (160) du premier type de conductivité, en contact avec le canal (111) du premier transistor, et
- 10 adjacente à l'une des régions de source et de drain du deuxième transistor, par implantation ionique auto-alignée sur la grille du premier transistor,
- 15 d) formation d'une couche conductrice (180) en contact électrique avec la première zone dopée et l'une des régions de source et de drain du deuxième transistor adjacente à ladite première zone dopée, de façon à les connecter électriquement.
- 20

13. Procédé selon la revendication 12, comprenant en outre, après l'étape d) la mise en place d'un isolant (183) sur le substrat, suivie par la formation de prises de contact sur les régions de source de drain et de grille des transistors.

25

14. Procédé selon la revendication 12, comprenant en outre la connexion de la grille (116) du premier transistor à une zone dopée (122) séparée de la première zone dopée (160) et formant l'une des source et drain du deuxième transistor, et la connexion de la

30

grille (126) du deuxième transistor à la première zone dopée (160).

15 15. Procédé de fabrication d'un dispositif selon la revendication 7, comprenant les étapes successives suivantes :

- a) préparation dans un substrat d'une zone (102) dite active présentant un premier type de conductivité, destinée à recevoir le premier transistor (101) et la diode (30),
- 10 b) formation d'une première et d'une deuxième grilles (116, 126) au-dessus de la zone active, correspondant respectivement au premier transistor et à la diode, les grilles étant séparées du substrat par un isolant de grille (104),
- 15 c) formation d'une des régions (112, 114) de source et de drain du premier transistor et de ladite deuxième zone dopée (124a), formation de la première zone dopée (160) disposée entre un canal du premier transistor et la deuxième zone dopée, et formation
- 20 de la troisième zone dopée (122a) séparée de la première zone dopée par la deuxième zone dopée, les régions de source et de drain et la première zone dopée étant formées par des implantations auto-alignées sur la première grille,
- 25 d) formation d'une couche conductrice (180) en contact avec la première zone dopée et la deuxième zone dopée de façon à les connecter électriquement.

30 16. Procédé selon la revendication 15 comprenant en outre, après l'étape d), la mise en place d'un isolant (183) sur le substrat suivie par la formation de prises de contact sur les régions de source et de drain et sur la troisième zone dopée.

17. Procédé selon la revendication 14, comprenant en outre l'interconnexion de la troisième zone dopée (122a) et de la grille (116) du premier transistor.

5 18. Procédé selon la revendication 14, comprenant en outre l'interconnexion de la grille (126) de la diode et de l'une des deuxième et troisième zones dopées.

10 19. Procédé selon l'une des revendications 12 et 15, dans lequel l'étape a) comporte :  
- la délimitation de la zone active selon une technique d'oxydation de champ (LOCOS) ou d'isolation par tranchée, et  
- le dopage de la région active pour lui conférer le  
15 premier type de conductivité.

20 20. Procédé selon l'une des revendications 12 et 15, dans lequel la formation de la couche conductrice (180) est précédée par la formation d'espaceurs latéraux (181) sur les grilles.

21. Procédé selon l'une des revendications 12 et 15, dans lequel la couche conductrice (180) est une couche de siliciure.



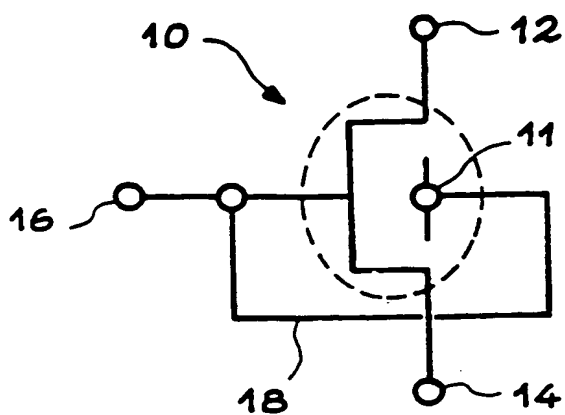


FIG. 1

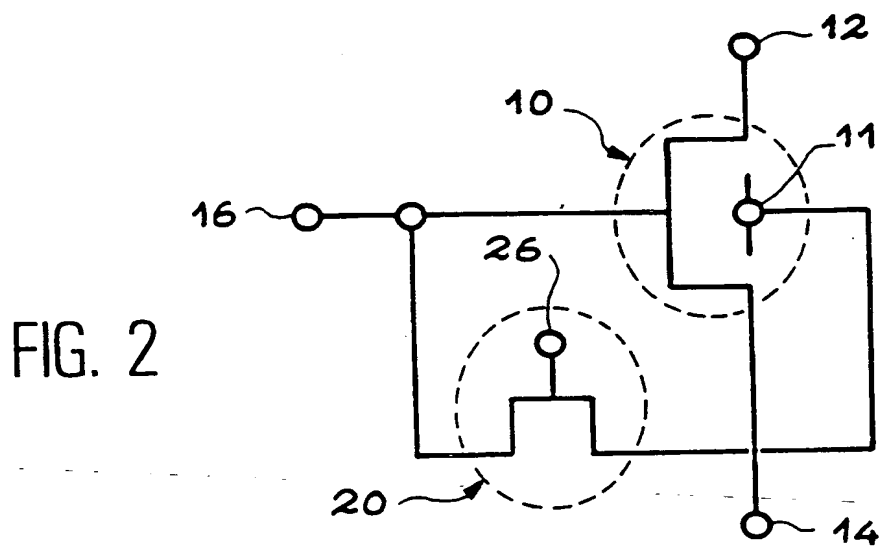


FIG. 2

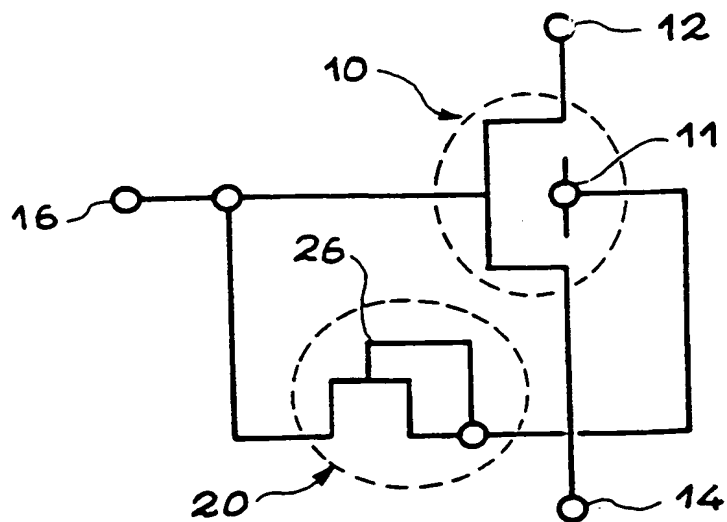
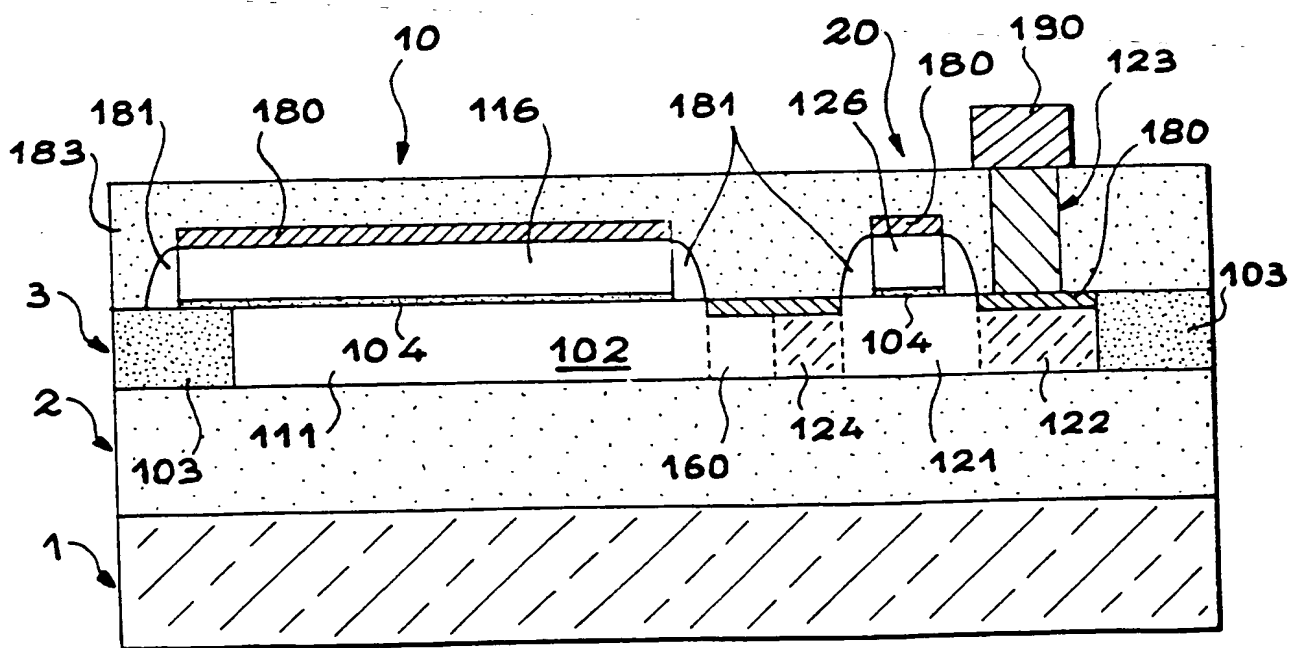
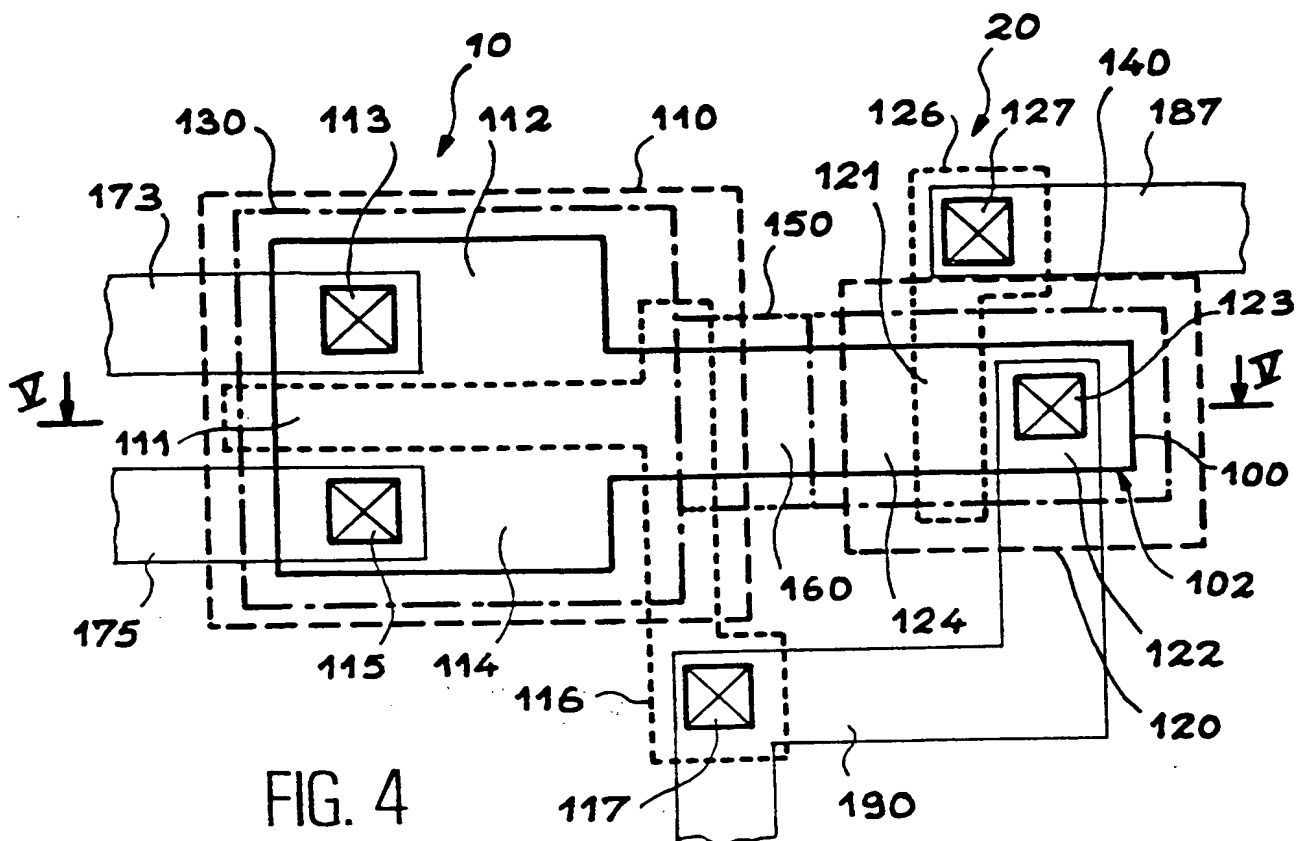


FIG. 3

**THIS PAGE BLANK (USPTO)**





**THIS PAGE BLANK (USPTO)**

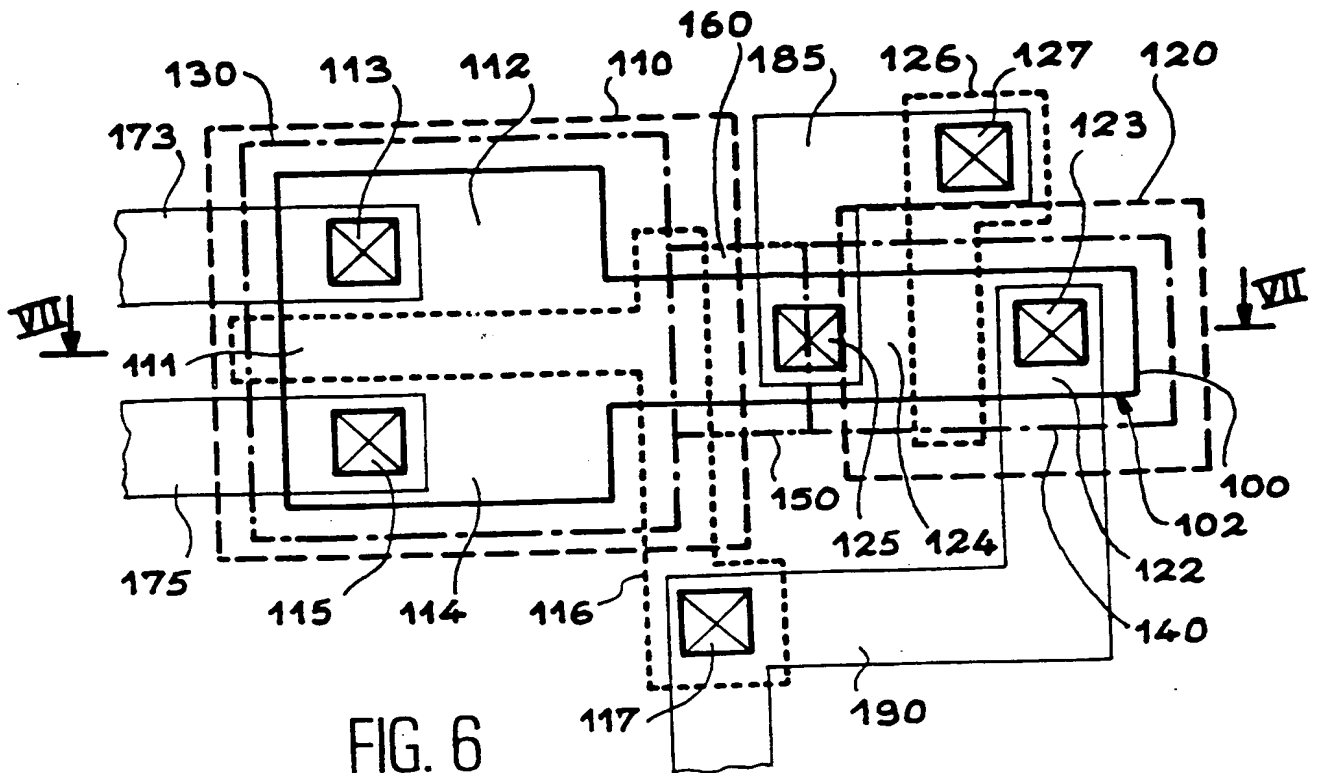


FIG. 6

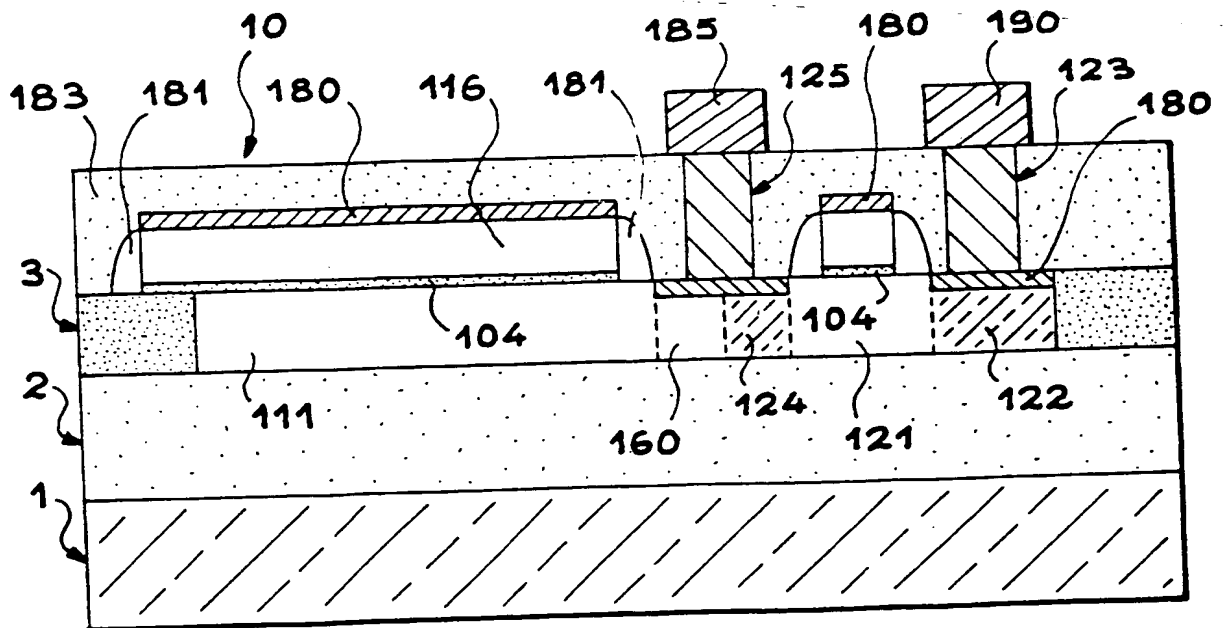


FIG. 7

**THIS PAGE BLANK (USPTO)**

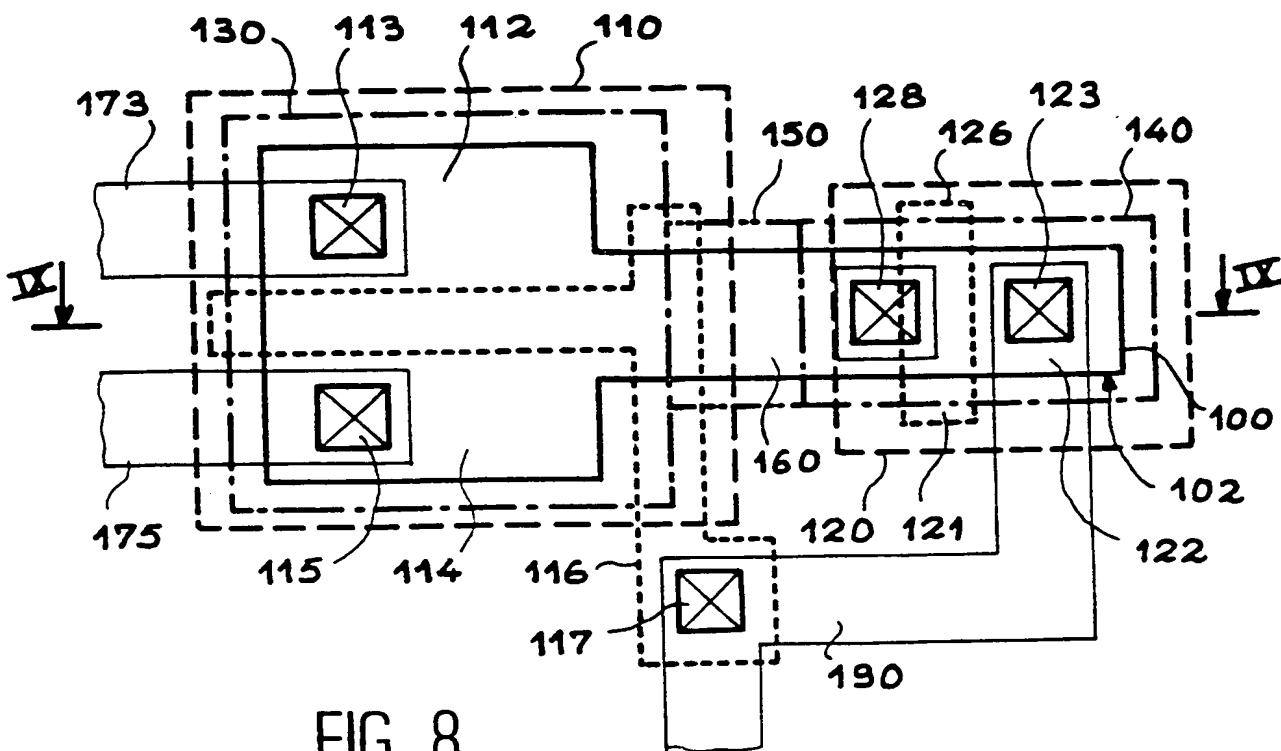


FIG. 8

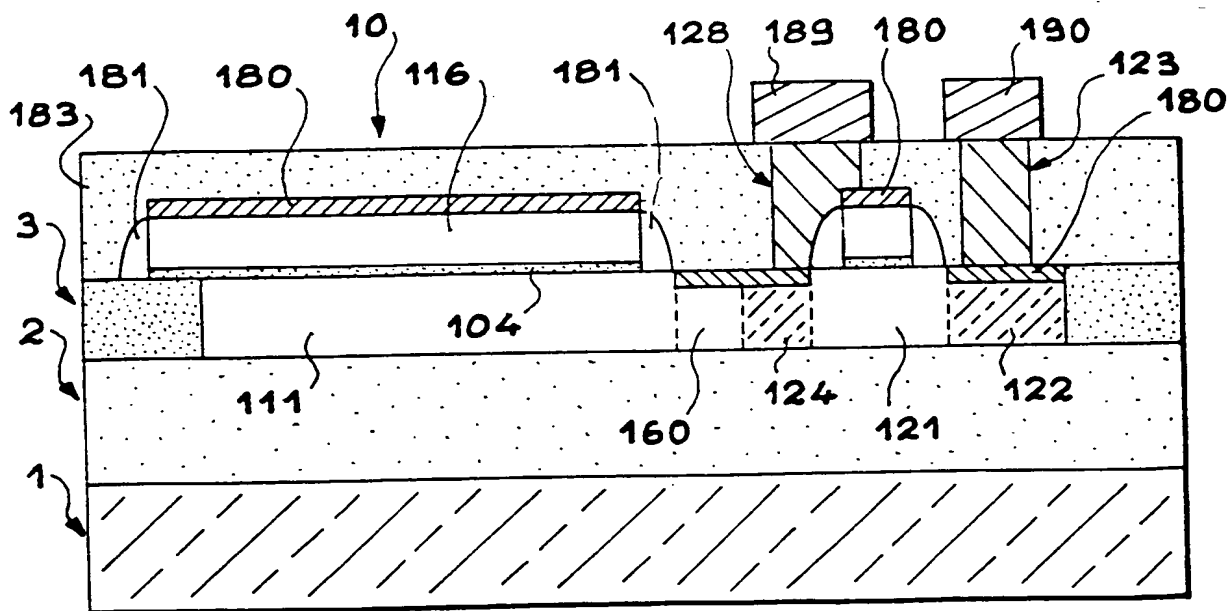


FIG. 9

**THIS PAGE BLANK (USPTO)**

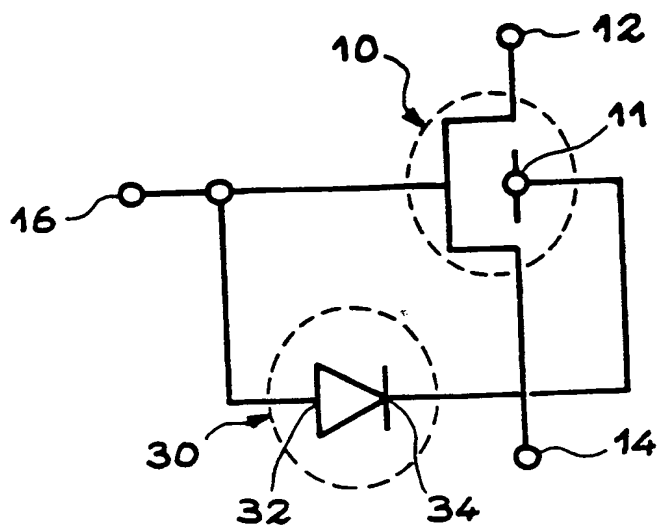


FIG. 10

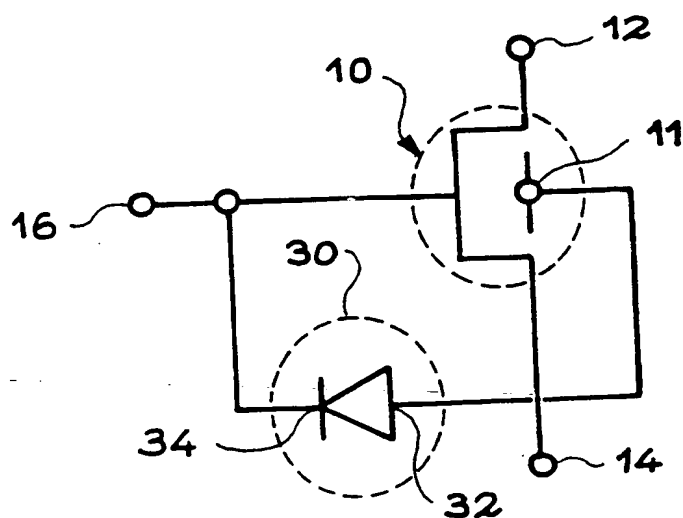


FIG. 11

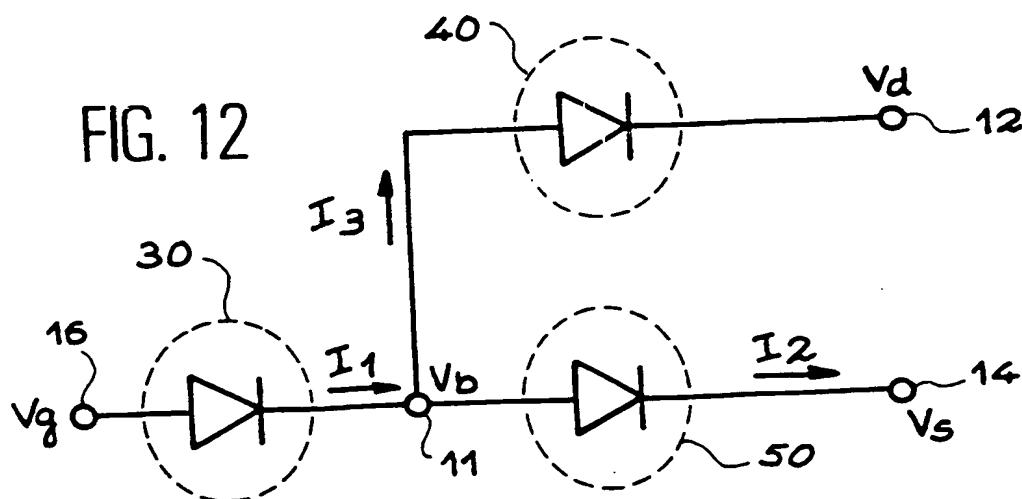


FIG. 12

**THIS PAGE BLANK (USPTO)**



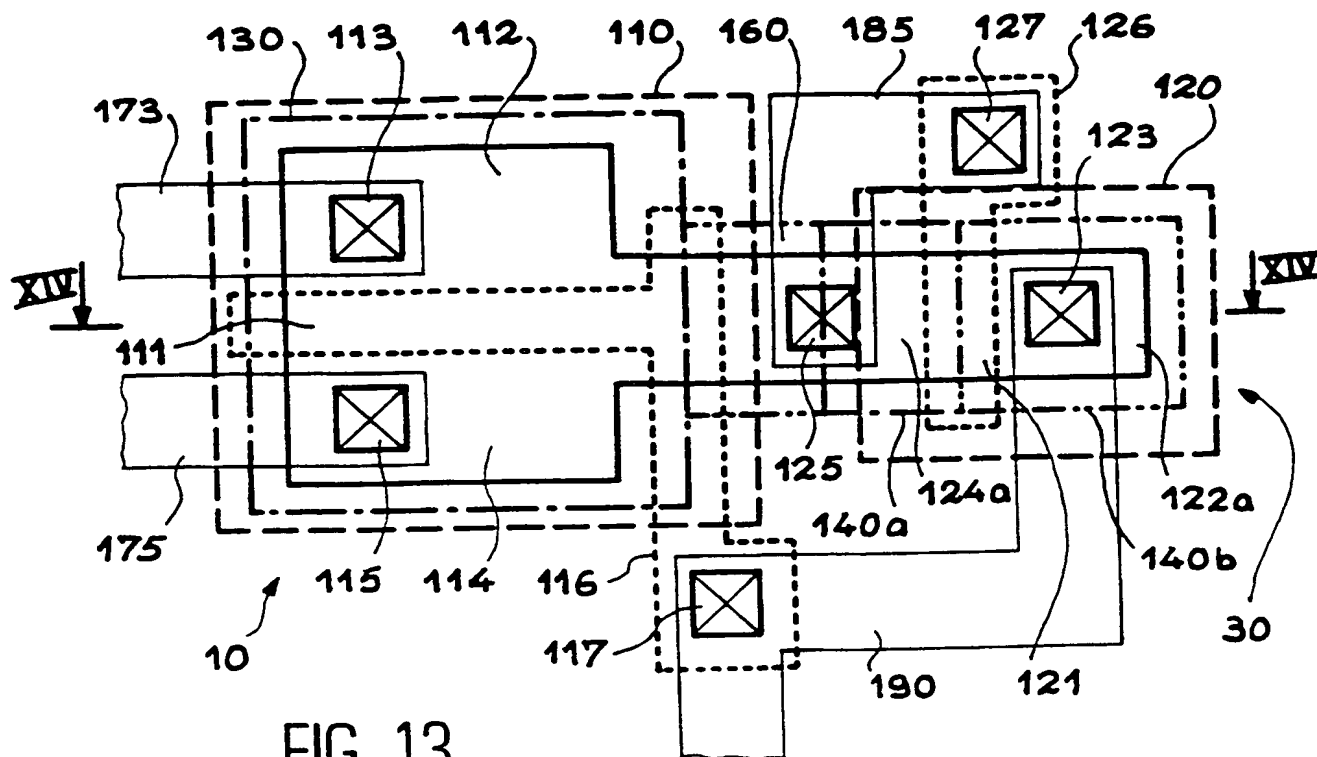


FIG. 13

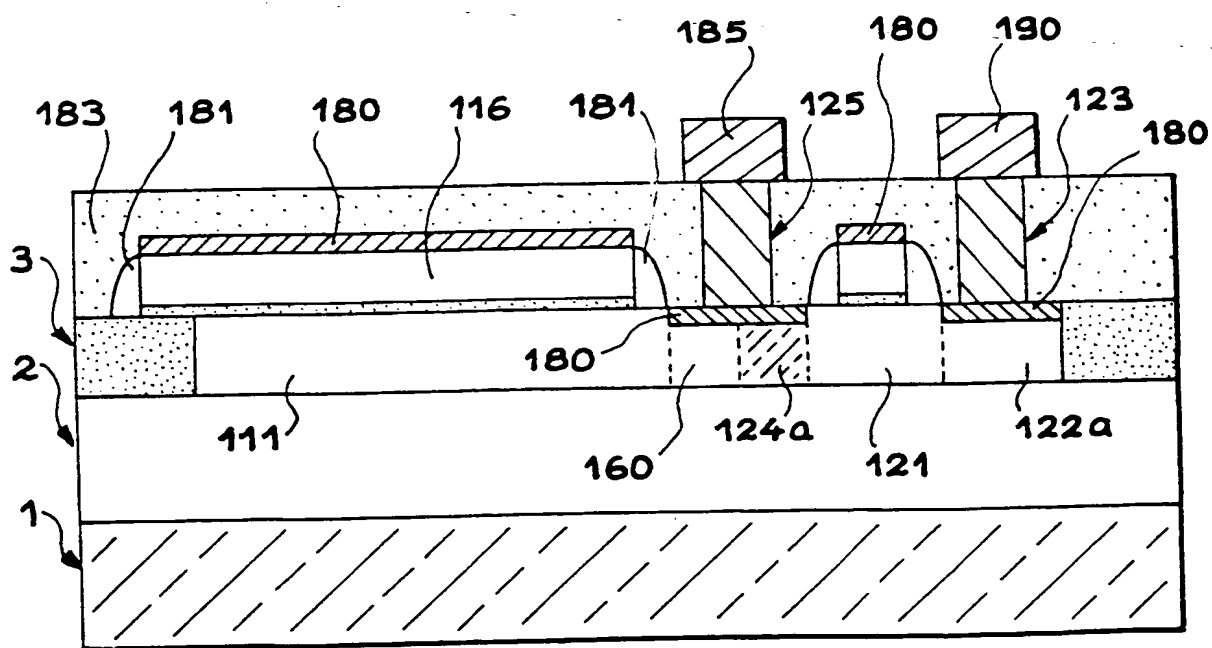


FIG. 14

**THIS PAGE BLANK (USPTO)**

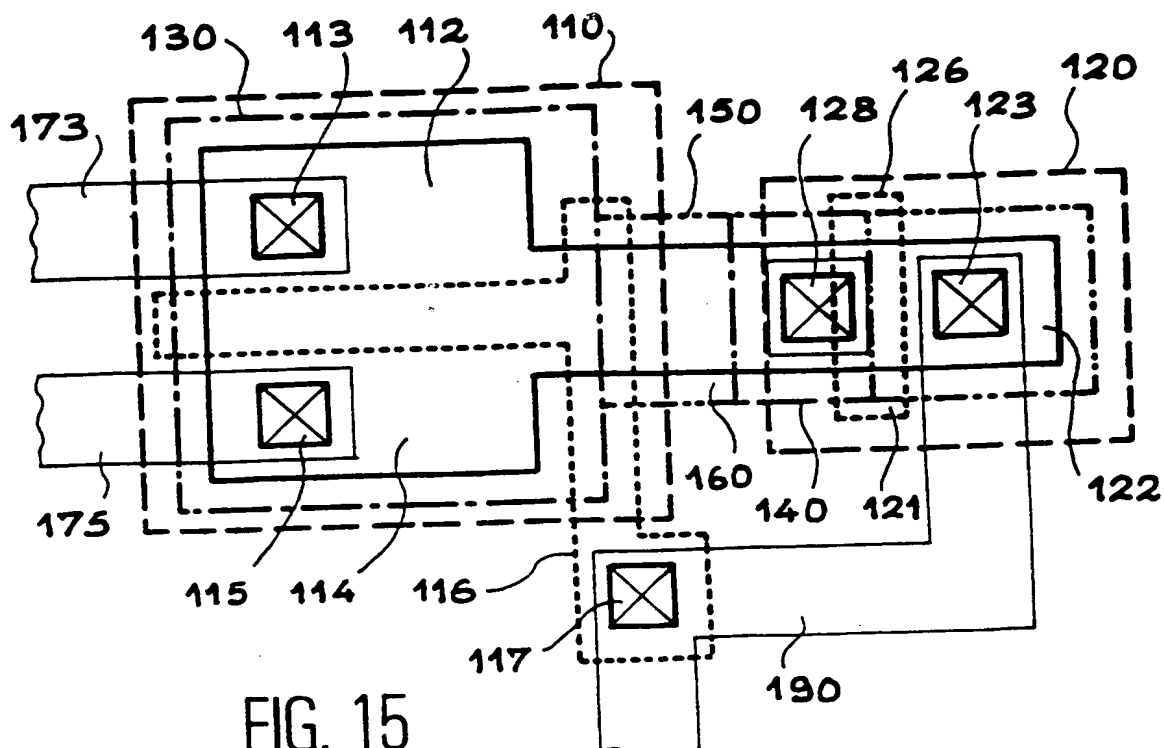


FIG. 15

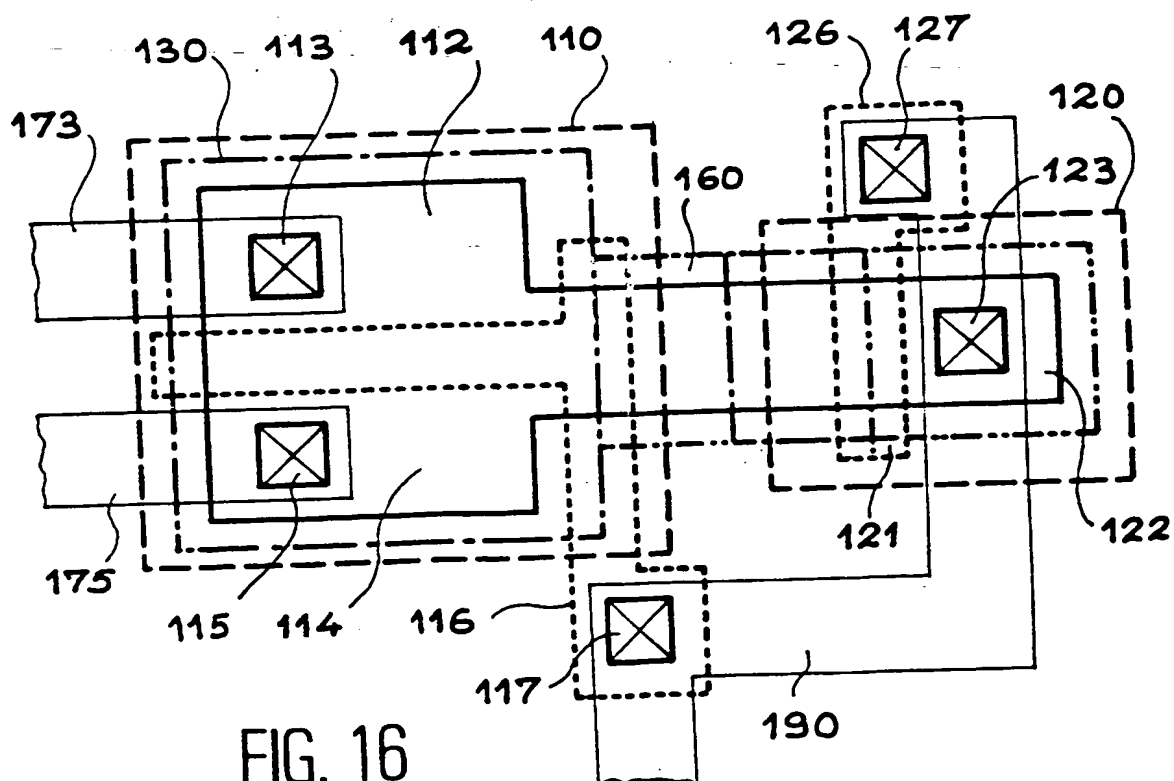


FIG. 16

**THIS PAGE BLANK (USPTO)**

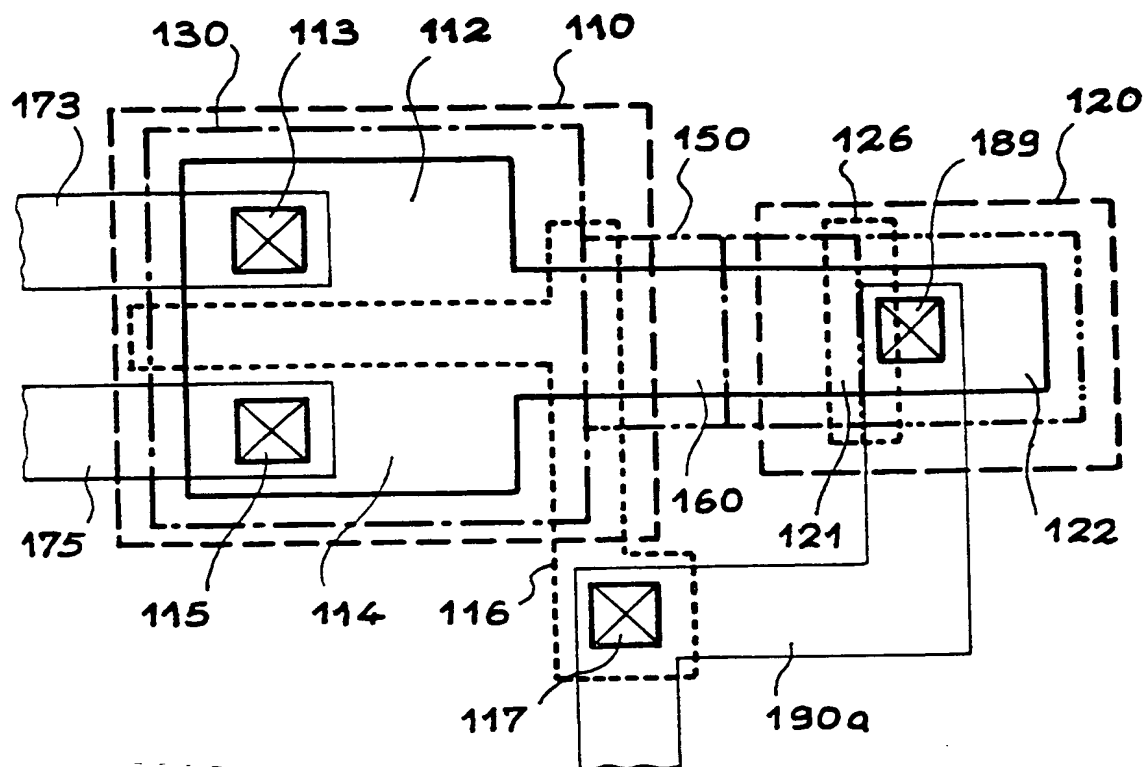


FIG. 17

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/FR 00/00268

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H01L27/12 H01L21/84

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal WPI PAJ

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 96 07205 A (UNIV CALIFORNIA) 7 March 1996 (1996-03-07)	1
A	the whole document	7
A	US 5 753 955 A (FECHNER PAUL S) 19 May 1998 (1998-05-19)	1,7-9, 12,13, 15,16, 19,21
	the whole document	
A	FR 2 520 556 A (TOKYO SHIBAURA ELECTRIC CO) 29 July 1983 (1983-07-29)	1
	the whole document	
A	EP 0 616 371 A (CANON KK) 21 September 1994 (1994-09-21)	1
	abstract	
	-/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

17 April 2000

Date of mailing of the international search report

26/04/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

## INTERNATIONAL SEARCH REPORT

Application No

PCT/FR 00/00268

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 808 346 A (UEDA KIMIO) 15 September 1998 (1998-09-15) abstract	1



# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/00268

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9607205 A	07-03-1996	US 5559368 A US 5780899 A	24-09-1996 14-07-1998
US 5753955 A	19-05-1998	EP 0946990 A WO 9827598 A	06-10-1999 25-06-1998
FR 2520556 A	29-07-1983	JP 1764258 C JP 4056469 B JP 58151062 A	28-05-1993 08-09-1992 08-09-1983
EP 0616371 A	21-09-1994	JP 6275630 A JP 7153774 A JP 7161726 A US 5451798 A	30-09-1994 16-06-1995 23-06-1995 19-09-1995
US 5808346 A	15-09-1998	JP 10041406 A	13-02-1998

**THIS PAGE BLANK (USPTO)**

PCT/FR 00/00268

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal WPI PAJ

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 96 07205 A (UNIV CALIFORNIA) 7 mars 1996 (1996-03-07)	1
A	le document en entier ---	7
A	US 5 753 955 A (FECHNER PAUL S) 19 mai 1998 (1998-05-19)	1,7-9, 12,13, 15,16, 19,21
	le document en entier ---	
A	FR 2 520 556 A (TOKYO SHIBAURA ELECTRIC CO) 29 juillet 1983 (1983-07-29)	1
	le document en entier ---	
A	EP 0 616 371 A (CANON KK) 21 septembre 1994 (1994-09-21) abrégé ---	1
	---	

-/--

**Y** Voir la suite du cadre C pour la fin de la liste des documents

**Y** Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

\*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

\* & document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

17 avril 2000

Date d'expédition du présent rapport de recherche internationale

26/04/2000

Norm et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Albrecht, C

## C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 808 346 A (UEDA KIMIO) 15 septembre 1998 (1998-09-15) abrégé	1

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres des familles de brevets

Demande internationale No

PCT/FR 00/00268

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 9607205 A	07-03-1996	US 5559368 A US 5780899 A	24-09-1996 14-07-1998
US 5753955 A	19-05-1998	EP 0946990 A WO 9827598 A	06-10-1999 25-06-1998
FR 2520556 A	29-07-1983	JP 1764258 C JP 4056469 B JP 58151062 A	28-05-1993 08-09-1992 08-09-1983
EP 0616371 A	21-09-1994	JP 6275630 A JP 7153774 A JP 7161726 A US 5451798 A	30-09-1994 16-06-1995 23-06-1995 19-09-1995
US 5808346 A	15-09-1998	JP 10041406 A	13-02-1998

**THIS PAGE BLANK (USPTO)**